

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08037181 A**(43) Date of publication of application: **06.02.96**

(51) Int. Cl.

**H01L 21/31**  
**H01L 21/28**  
**H01L 21/768**

(21) Application number: **06169569**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **21.07.94**(72) Inventor: **KIMURA HIROSHI**

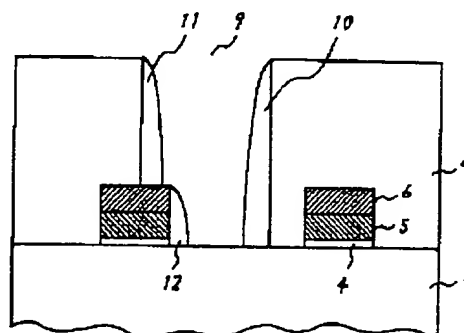
**(54) SEMICONDUCTOR DEVICE AND  
 MANUFACTURE THEREOF**

## (57) Abstract

**PURPOSE:** To provide a semiconductor device and a method for manufacturing the same which has an electrically excellent contact hole even if a superposing margin is set to zero.

**CONSTITUTION:** A gate electrode 5 having an etching stopper layer 6 made of an SiN film at an upper part is formed on a semiconductor substrate 1, an interlayer insulating film 2 is formed, a contact hole is opened at the film 2, and a sidewall made of an SiO<sub>2</sub> film is formed on the inner wall of the hole. Accordingly, the miniaturization of the element can be expedited to improve its yield.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 7 1 8 1

(43) 公開日 平成 8 年 (1996) 2 月 6 日

(51) Int. Cl. <sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/31

21/28

21/768

U

8418 - 4 M

H 0 1 L 21/95

21/90

D

審査請求 未請求 請求項の数 5

O L

(全 9 頁)

(21) 出願番号 特願平 6 - 1 6 9 5 6 9

(22) 出願日 平成 6 年 (1994) 7 月 21 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 木村 広嗣

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会社

ユー・エル・エス・アイ開発研究所内

(74) 代理人 弁理士 高田 守

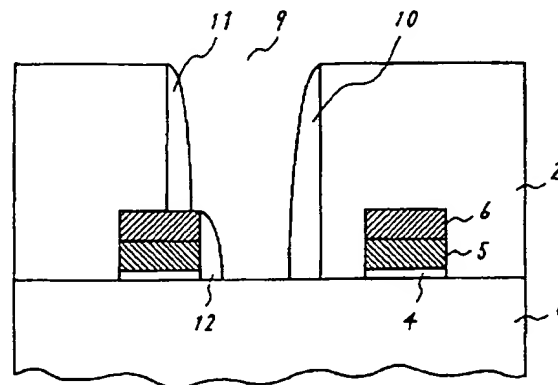
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 重ね合わせマージンを 0 としても電氣的に良好なコンタクト孔を有する半導体装置及びその製造方法を提供する。

【構成】 半導体基板 1 上に S i N 膜からなるエッチングストッパー層 6 を上部に備えたゲート電極 5 を形成し、層間絶縁膜 2 を形成した後層間絶縁膜 2 にコンタクト孔を開孔し、コンタクト孔内壁に S i O<sub>2</sub> 膜からなるサイドウォールを形成する。

【効果】 素子の微細化を促進でき、歩留まりの向上がはかれる。



1: 半導体基板

2: 層間絶縁膜

5: ゲート電極

6: SiN 膜からなるエッチングストッパー層

9: コンタクト孔

10: サイドウォール

11: サイドウォール

12: サイドウォール

## 【特許請求の範囲】

【請求項 1】 半導体基板上に配線層を形成し、上記配線層上に層間絶縁膜を形成し、上記層間絶縁膜内に上記半導体基板に至るコンタクト孔を形成し、上記コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する半導体装置において、

上記配線層の直上部には上記層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともに上記コンタクト孔内壁に絶縁膜からなるサイドウォールを形成したことを特徴とする半導体装置。

【請求項 2】 半導体基板上に配線層を形成し、上記配線層上に層間絶縁膜を形成し、上記層間絶縁膜内に上記半導体基板に至るコンタクト孔を形成し、上記コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する半導体装置において、

上記層間絶縁膜を下層と上層の層間絶縁膜で構成し、上記上下層層間絶縁膜の間に上記上層層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともに、上記コンタクト孔を、上記下層層間絶縁膜およびエッチングストッパー層を開口して形成された下層コンタクト孔とこの下層コンタクト孔と連通し上記上層層間絶縁膜を開口して形成された上層コンタクト孔とで構成したことを特徴とする半導体装置。

【請求項 3】 半導体基板上に配線膜およびエッチングストッパー層を形成する工程と、上記配線膜およびエッチングストッパー層に写真製版技術およびエッチング技術を施して上記エッチングストッパー層を備えた配線層を形成する工程と、全面に層間絶縁膜を形成する工程と、上記層間絶縁膜をエッチングし上記配線層に近接して上記半導体基板に至るコンタクト孔を形成する工程と、上記コンタクト孔内を含む全面に絶縁膜を形成する工程と、上記絶縁膜に異方性エッチングを施し上記コンタクト孔内壁にのみ上記絶縁膜を残留させサイドウォールを形成する工程と、上記コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記層間絶縁膜と高エッチング選択比を有するようにしたものであることを特徴とする半導体装置の製造方法。

【請求項 4】 半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、全面にエッチングストッパー層を形成する工程と、上記エッチングストッパー層および下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電

氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたものであることを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、上記下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面にエッチングストッパー層を形成する工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜およびエッチングストッパー層をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたものであることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は半導体装置に関し、特にコンタクト孔およびその製造方法に関するものである。

## 【0002】

【従来の技術】 LSI の高集積化、高機能化に伴い、素子の微細化が著しく進みパターンの微細化はとどまるところを知らない。従って、微細パターンの形成技術への要望もとどまるところがなく、とりわけコンタクト孔部の形成技術は半導体装置の製造歩留まりを律速する要因の一つになりつつあり、種々の開発、改良がなされてきた。

【0003】 図 7 は従来の半導体装置のコンタクト孔部分の断面図である。図において、1 は半導体基板、2 は層間絶縁膜、3 はフォトレジストによるコンタクトパターン、4 はゲート酸化膜、5 はゲート電極、9 はコンタクト孔である。図からわかるように、層間絶縁膜 2 を隔ててその上部に形成される配線層（図示せず）と接続するために半導体基板 1 上に形成されたゲート電極 5 間に開口径  $a$  1 のコンタクト孔 9 が形成されている。このとき、コンタクト孔 9 内の導電膜とゲート電極 5 との短絡を防止するために設計上重ね合わせマージン  $b$  1 が必要である。

【0004】 また図 8 は従来の多層配線層を有する半導体装置のコンタクト孔部分の断面図である。図 7 と同様のものについては同番号を付して詳細な説明は省略する。図において、19 は層間絶縁膜、20 は配線層である。図からわかるように、エッチング後のコンタクト孔 9 の断面形状には傾き  $\theta$  のテーパがついてしまうので

あるが、多層配線層を有する半導体装置では、コンタクト孔9のアスペクト比が大きくなり、コンタクト孔9底部の開口径a2に比べてより上部に位置するコンタクト孔9上端部の開口径a3の方が大きくなってしまいうので、重ね合わせマージンb3は重ね合わせマージンb2よりも大きく設計しなければならない。従って、配線層が何層もあるような超LSIでは上層の配線層ほど大きな重ね合わせマージンを必要とする。

#### 【0005】

【発明が解決しようとする課題】従来のコンタクト孔部の構造および形成方法は以上のものであり、図7に示すように、コンタクト孔9部形成においてフォトレジストのコンタクトパターン3との重ね合わせ精度はステッパー等の製造装置に寄与するところが大きく、製造装置の精度向上に期待するところではあるが、今のところ機械的な誤差を皆無にすることは出来ていない。従って、0.25μmレベルの微細加工技術においてはこの残留誤差、つまり重ね合わせマージンb1が素子の微細化の妨げとなるという問題点があった。

【0006】また、図8に示すように、配線層が幾層もあるような超LSIにおいてはコンタクト孔9部のアスペクト比が大きくなり、配線層が上層になるにしたがって重ね合わせマージンb3も大きくならざるを得ず素子の微細化にとっては更に妨げになるという問題点があった。

【0007】この発明は上記のような問題点を解消するためになされたもので、コンタクト孔形成時において重ね合わせマージンの低減ができ、多層配線層を有する素子においてはコンタクト孔のアスペクト比も低減でき、素子の微細化を促進できるコンタクト孔の構造及びその製造方法を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、配線層の直上部には層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともにコンタクト孔内壁に絶縁膜からなるサイドウォールを形成したものである。

【0009】また、この発明の請求項2に係る半導体装置は、層間絶縁膜を下層と上層の層間絶縁膜で構成し、上下層層間絶縁膜の間に上記上層層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともに、コンタクト孔を、上記下層層間絶縁膜およびエッチングストッパー層を開口して形成された下層コンタクト孔と、この下層コンタクト孔と連通し上記上層層間絶縁膜を開口して形成された上層コンタクト孔とで構成したものである。

【0010】また、この発明の請求項3に係る半導体装置の製造方法は、半導体基板上に配線膜およびエッチングストッパー層を形成する工程と、上記配線膜およびエッチングストッパー層に写真製版技術およびエッチング

技術を施して上記エッチングストッパー層を備えた配線層を形成する工程と、全面に層間絶縁膜を形成する工程と、上記層間絶縁膜をエッチングし上記配線層に近接して上記半導体基板に至るコンタクト孔を形成する工程と、上記コンタクト孔内を含む全面に絶縁膜を形成する工程と、上記絶縁膜に異方性エッチングを施し上記コンタクト孔内壁にのみ上記絶縁膜を残留させサイドウォールを形成する工程と、上記コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記層間絶縁膜と高エッチング選択比を有するようにしたものである。

【0011】また、この発明の請求項4に係る半導体装置の製造方法は、半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、全面にエッチングストッパー層を形成する工程と、上記エッチングストッパー層および下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたものである。

【0012】また、この発明の請求項5に係る半導体装置の製造方法は、半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、上記下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面にエッチングストッパー層を形成する工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜およびエッチングストッパー層をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたものである。

#### 【0013】

【作用】この発明における半導体装置は、配線層の直上部には層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともにコンタクト孔内壁に絶縁膜からなるサイドウォールを形成したので、コンタクト孔が配線層と重なって形成されたとしてもコンタクト孔内に配線層が露出することがなく、重ね合わせマ

10

20

30

40

50

ージンを0としても電氣的に良好なコンタクト孔を形成することができる。

【0014】また、層間絶縁膜を下層と上層の層間絶縁膜で構成し、上下層層間絶縁膜の間に上記上層層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともに、コンタクト孔を、上記下層層間絶縁膜およびエッチングストッパー層を開口して形成された下層コンタクト孔と、この下層コンタクト孔と連通し上記上層層間絶縁膜を開口して形成された上層コンタクト孔とで構成したので、コンタクト孔のアスペクト比を低減できるとともに上下のコンタクト孔の重ね合わせマージンを0とすることができる。

【0015】更に、この発明における半導体装置の製造方法は、半導体基板上に配線膜およびエッチングストッパー層を形成する工程と、上記配線膜およびエッチングストッパー層に写真製版技術およびエッチング技術を施して上記エッチングストッパー層を備えた配線層を形成する工程と、全面に層間絶縁膜を形成する工程と、上記層間絶縁膜をエッチングし上記配線層に近接して上記半導体基板に至るコンタクト孔を形成する工程と、上記コンタクト孔内を含む全面に絶縁膜を形成する工程と、上記絶縁膜に異方性エッチングを施し上記コンタクト孔内壁にのみ上記絶縁膜を残留させサイドウォールを形成する工程と、上記コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記層間絶縁膜と高エッチング選択比を有するようにしたので、コンタクト孔が配線層と重なって形成されたとしてもコンタクト孔内に配線層が露出することがなく、重ね合わせマージンを0とすることができる。

【0016】また、半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、全面にエッチングストッパー層を形成する工程と、上記エッチングストッパー層および下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたので、コンタクト孔のアスペクト比を低減できるとともに上下のコンタクト孔の重ね合わせマージンを0とすることができる。

【0017】また、半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、上記下層層間絶縁膜をエッチングし上記配線層と接することな

く上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面にエッチングストッパー層を形成する工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜およびエッチングストッパー層をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたので、導電膜の材料にかかわらず、導電膜の全面エッチング時にエッチングストッパー層をもエッチング除去してしまうということとはなくなり、コンタクト孔のアスペクト比を低減できるとともに上下のコンタクト孔の重ね合わせマージンを0とすることができる。

【0018】

【実施例】以下、この発明の実施例を図を用いて説明する。従来の技術と同様のものについては同番号を付して詳細な説明は省略する。

実施例1. 図1はこの発明の半導体装置のコンタクト孔部の構造を示す断面図であり、図2は図1のコンタクト孔の形成方法を示す工程断面図である。図において、6は配線層であるゲート電極5の上に形成されたSiN膜などからなるエッチングストッパー層、10、11、12はコンタクト孔内においてSiO<sub>2</sub>膜などからなるサイドウォールである。

【0019】図2(a)～(g)に従って順次説明を行う。まず図2(a)において、半導体基板1上にゲート酸化膜4を形成した後、配線膜である多結晶シリコン或いはその合金からなるゲート電極材料5、さらにSiN膜などからなるエッチングストッパー層6をCVD或いはスパッタリングにより順次積層する。その後、写真製版技術によりフォトリソのゲートパターン7を形成する。次に図2(b)に示すように、フォトリソのゲートパターン7をマスクとしてエッチングを行い、その上層にエッチングストッパー層6を備えたゲート電極5を形成する。次に図2(c)に示すように、層間絶縁膜2をCVD法によって積層する。

【0020】次に図2(d)に示すように、写真製版技術によってフォトリソのコンタクトパターン3を形成する。次に図2(e)に示すように、フォトリソのコンタクトパターン3をマスクとしてエッチングを行い層間絶縁膜2にコンタクト孔9を形成する。この時、層間絶縁膜2とエッチングストッパー層6とのエッチングレートの違い(選択比)を利用することにより、たとえばコンタクト孔9がゲート電極5に重なって形成されたとしてもゲート電極5上部のエッチングストッパー層6によってエッチングは停止し、ゲート電極5がエッチン

グされることはない。しかしゲート電極5の側面はコンタクト孔9内で露出した状態となっている。

【0021】次に図2(f)に示すように、フォトレジストのコンタクトパターン3を除去した後、コンタクト孔9内を含む全面にCVD法により $\text{SiO}_2$ 膜などからなる絶縁膜8を形成する。最後に図2(g)に示すように、RIE等の異方性エッチングを全面に施すことによりコンタクト孔9内壁にのみ絶縁膜8を残しサイドウォール10, 11, 12を形成する。

【0022】図1は図2(g)と同等のものであり、図からわかるように、たとえコンタクト孔9がゲート電極5に重なって形成されたとしてもコンタクト孔9の底部は露出し半導体基板1との接続は確保されている。しかも、ゲート電極5の上部は $\text{SiN}$ 膜からなるエッチングストッパー層6で覆われ、ゲート電極5の側壁は $\text{SiO}_2$ 膜からなるサイドウォール12で覆われておりコンタクト孔9内にゲート電極5が露出することはない。言い換えれば、コンタクト孔9がゲート電極5に重なって形成されたとしてもコンタクト孔9内の導電膜とゲート電極5が短絡することはない。従って、重ね合わせマージンを0としても良好なコンタクト孔9を形成することができ、素子の微細化が可能となるばかりでなく、短絡不良が原因である歩留りの向上も期待できる。

【0023】実施例2. 図3はこの発明の他の半導体装置のコンタクト孔部の構造を示す断面図であり、図4は図3のコンタクト孔の形成方法を示す工程断面図である。図において、2aは下層層間絶縁膜、2bは上層層間絶縁膜、9aは下層コンタクト孔、9bは上層コンタクト孔、16は下層コンタクト孔9a内に埋め込まれた導電膜によるプラグであり、18は下層層間絶縁膜2aと上層層間絶縁膜2bとの間に形成された $\text{SiN}$ 膜からなるエッチングストッパー層である。

【0024】図4(a)～(i)に従って順次説明を行う。まず図4(a)において、半導体基板1上にゲート酸化膜4を形成した後、配線膜である多結晶シリコン或いはその合金からなるゲート電極材料5をCVD或いはスパッタリングにより形成する。その後、写真製版技術によりフォトレジストのゲートパターンを形成し、これをマスクとしてエッチングを行いゲート電極5を形成する。次に図4(b)に示すように、下層層間絶縁膜2aをCVD法によって積層する。このとき、下層層間絶縁膜2aは従来の層間絶縁膜2の半分の膜厚に形成されている。

【0025】次に図4(c)に示すように、さらに、全面に $\text{SiN}$ 膜からなるエッチングストッパー層18を形成する。このエッチングストッパー層18は上層コンタクト孔9bを形成する際のエッチング時に上層層間絶縁膜2bに対してエッチングストッパーとなるだけの選択比を有する絶縁膜でなくてはならない。次に、写真製版技術によってフォトレジストのコンタクトパターン3を

形成する。次に図4(d)に示すように、フォトレジストのコンタクトパターン3をマスクとして、エッチングストッパー層18及び下層層間絶縁膜2aのエッチングを行って下層コンタクト孔9aを形成し、フォトレジストのコンタクトパターン3を除去する。

【0026】次に図4(e)に示すように、下層コンタクト孔9a内を含む全面に多結晶シリコン或いは金属などの導電膜15をCVD或いはスパッタリングにより形成する。次に図4(f)に示すように、全面エッチバックを行って下層コンタクト孔9a内にのみ導電膜15が残留するようにし、下層コンタクト孔9a内にプラグ16を形成する。

【0027】次に図4(g)に示すように、全面に上層層間絶縁膜2bをCVD法により形成し、写真製版技術によってフォトレジストのコンタクトパターン3を形成する。このとき、上層層間絶縁膜2bは上層層間絶縁膜2bと下層層間絶縁膜2aとの膜厚を合わせて従来の層間絶縁膜2の膜厚になるように形成する。次に図4

(h)に示すように、フォトレジストのコンタクトパターン3をマスクとしてエッチングを行い上層層間絶縁膜2bに上層コンタクト孔9bを形成する。この時、上層層間絶縁膜2bのエッチングはプラグ16及びエッチングストッパー層18に対して選択比を有する条件で行われる。したがって、たとえ重ね合わせズレが生じたとしても上層コンタクト孔9bを形成するための上層層間絶縁膜2bのエッチングはプラグ16或いはエッチングストッパー層18で止まり、下層層間絶縁膜2a内のゲート電極5が下層コンタクト孔9a内に露出することはない。従って、上層コンタクト孔9bについては、重ね合わせマージンを考慮せずに設計して、重ね合わせズレが生じたとしてもゲート電極5と短絡することはない。

【0028】最後に図4(i)に示すように、フォトレジストのコンタクトパターン3を除去してコンタクト孔9を形成する。図3は図4(i)と同等のものであり、図からわかるように、層間絶縁膜2を上層2bと下層2aとに分けて形成することによってコンタクト孔9も上層9bと下層9aとに分けて形成でき、コンタクト孔9a, 9bのアスペクト比を小さくできる。従って、コンタクト孔9a, 9bの断面形状におけるテーパを小さくすることができ重ね合わせマージンも小さくすることができる。さらに、上層コンタクト孔9bにおいては下層コンタクト孔9aとの重ね合わせマージンを0とすることができ、微細化を促進でき、歩留まりの低下も防止できる。

【0029】実施例3. 上記実施例2ではエッチングストッパー層18を形成した後、下層コンタクト孔9aを開孔しプラグ16を形成していたが、図5に示すように、エッチングストッパー層18を形成する前に下層コンタクト孔9aを開孔してプラグ16を形成し、その後

場合、プラグ 16 の材料にかかわらず、プラグ形成のための導電膜 15 の全面エッチング時にエッチングストッパー層 18 をもエッチング除去してしまうということはない。その後、上層コンタクト孔 9b の形成は、エッチングストッパー層 18 によってエッチングが停止するまで上層層間絶縁膜 2b をエッチングした後、エッチングストッパー層 18 をエッチングする。しかし、上層コンタクト孔 9b の形成時のエッチングストッパー層 18 除去工程において、エッチングストッパー層 18 とプラグ 16 或いはエッチングストッパー層 18 と下層層間絶縁膜 2a との間でそれぞれの選択比が低いことを考慮して、この除去工程は時間制御で行うことになるがエッチングストッパー層 18 は上層層間絶縁膜 2b に比べて十分に薄膜であるので実用上問題はない。

【0030】実施例 4. 上記実施例 2, 3 では層間絶縁膜 2 を上層及び下層層間絶縁膜 2a, 2b の 2 層に分けて形成した場合について説明したが、層間絶縁膜 2 はその膜厚に応じて 2 層に限ることなく何層に分けて形成しても良い。この場合、プラグ 16 は半導体基板 1 上のみに形成されるのではなくプラグ 16 を構成している導電膜上に順次形成されてゆくことになるが、上記実施例 2, 3 と同様の効果を奏する。

【0031】実施例 5. ここでは上記実施例 1 及び 2 を組み合わせてコンタクト孔を形成する場合について説明する。図 6 はこの発明の COB (Capacitor over Bitline) 構造の DRAM のメモリセルのストレージノードのコンタクト孔部を模式的に示した断面図である。図を参照して、半導体基板 1 上にトランスファークゲート電極 5 が形成されており、下層層間絶縁膜 2a はゲート電極 5 とビット線 17 との間に形成されている。実施例 1 と同様にして上部にエッチングストッパー層 6 を備えたゲート電極 5 を形成し、その後下層層間絶縁膜 2a を形成し、さらに実施例 2 と同様にして SiN 膜からなるエッチングストッパー層 18 を形成した後、再び実施例 1 と同様にして、ゲート電極 5 に対して下層コンタクト孔 9a を形成して下層コンタクト孔 9a 内壁にサイドウォール 10, 11, 12 を形成する。

【0032】次に、再び実施例 2 と同様にして、この下層コンタクト孔 9a 内を多結晶シリコン等で埋め込みプラグ 16 を形成する。その後、ゲート電極 5 と同様にして上部にエッチングストッパー層 6 を備えたビット線 17 を形成し、その上に上層層間絶縁膜 2b を CVD にて形成し、やはり実施例 1 と同様にしてサイドウォール 13, 14 を備えた上層コンタクト孔 9b を開口する。ここで、下層コンタクト孔 9a はビット線 17 コンタクトである上層コンタクト孔 9b と同時に開口してもよく、また、プラグ 16 の埋め込みもビット線 17 の形成と同時に進めても良い。

【0033】COB 構造の DRAM セルのストレージノードコンタクト工程において、厳しい重ね合わせ精度が

要求されるのは対ゲート電極 5 と対ビット線 17 との部分であり、上記実施例 1 及び 2 を組み合わせることによってゲート電極 5 に対しては下層コンタクト孔 9a をビット線 17 に対しては上層コンタクト孔 9b を重ね合わせマージンを考慮せずに形成でき、また下層コンタクト孔 9a と上層コンタクト孔 9b との重ね合わせについてもエッチングストッパー層 18 を形成していることから重ね合わせマージンを考慮せずに形成できる。従って、コンタクト孔 9a, 9b 内において配線層との短絡不良が防止でき、素子の製造歩留まりが向上する。さらに、コンタクト孔 9a, 9b のアスペクト比も低減されるため微細なコンタクト孔パターンの寸法制御が容易となり、素子の微細化を促進することができる。

【0034】

【発明の効果】以上のようにこの発明によれば、配線層の直上部には層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともにコンタクト孔内壁に絶縁膜からなるサイドウォールを形成したので、コンタクト孔が配線層と重なって形成されたとしてもコンタクト孔内に配線層が露出することがなく、重ね合わせマージンを 0 としても電氣的に良好なコンタクト孔を形成することができ、微細化が促進できるとともに短絡不良による歩留まりが向上する効果がある。

【0035】また、層間絶縁膜を下層と上層の層間絶縁膜で構成し、上下層層間絶縁膜の間に上記上層層間絶縁膜と高エッチング選択比を有するエッチングストッパー層を形成するとともに、コンタクト孔を、上記下層層間絶縁膜およびエッチングストッパー層を開口して形成された下層コンタクト孔と、この下層コンタクト孔と連通し上記上層層間絶縁膜を開口して形成された上層コンタクト孔とで構成したので、コンタクト孔のアスペクト比を低減できるとともに上下のコンタクト孔の重ね合わせマージンを 0 とすることができ、コンタクト孔の断面形状におけるテーパを小さくすることができ、微細なコンタクト孔を良好に形成することができるとともに歩留まりが向上する効果がある。

【0036】更に、半導体基板上に配線膜およびエッチングストッパー層を形成する工程と、上記配線膜およびエッチングストッパー層に写真製版技術およびエッチング技術を施して上記エッチングストッパー層を備えた配線層を形成する工程と、全面に層間絶縁膜を形成する工程と、上記層間絶縁膜をエッチングし上記配線層に近接して上記半導体基板に至るコンタクト孔を形成する工程と、上記コンタクト孔内を含む全面に絶縁膜を形成する工程と、上記絶縁膜に異方性エッチングを施し上記コンタクト孔内壁にのみ上記絶縁膜を残留させサイドウォールを形成する工程と、上記コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記層間絶縁膜と高エッチング選択比を有するようにしたので、コンタ

11

クト孔が配線層と重なって形成されたととしてもコンタクト孔内に配線層が露出することがなく、重ね合わせマージンを0としても電氣的に良好なコンタクト孔を形成することができ、微細化が促進できるとともに短絡不良による歩留まりが向上する効果がある。

【0037】また、半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、全面にエッチングストッパー層を形成する工程と、上記エッチングストッパー層および下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたので、コンタクト孔のアスペクト比を低減できるとともに上下のコンタクト孔の重ね合わせマージンを0とすることができ、コンタクト孔の断面形状におけるテーパを小さくすることができ、微細なコンタクト孔を良好に形成することができるとともに歩留まりが向上する効果がある。

【0038】また、半導体基板上に配線層を形成する工程と、全面に下層層間絶縁膜を形成する工程と、上記下層層間絶縁膜をエッチングし上記配線層と接することなく上記半導体基板に至る下層コンタクト孔を開口する工程と、上記下層コンタクト孔を含む全面に導電膜を形成する工程と、上記導電膜をエッチバックして上記下層コンタクト孔内に上記導電膜を埋め込む工程と、全面にエッチングストッパー層を形成する工程と、全面に上層層間絶縁膜を形成する工程と、上記上層層間絶縁膜および

12

エッチングストッパー層をエッチングして上記下層コンタクト孔に連通する上層コンタクト孔を開口する工程と、上記上層コンタクト孔に埋め込まれ上記配線層と電氣的に絶縁された導電膜を形成する工程とを備え、上記エッチングストッパー層は上記上層層間絶縁膜と高エッチング選択比を有するようにしたので、導電膜の材料にかかわらず、導電膜の全面エッチング時にエッチングストッパー層をもエッチング除去してしまうということとはなくなり、コンタクト孔のアスペクト比を低減できるとともに上下のコンタクト孔の重ね合わせマージンを0とすることができ、微細なコンタクト孔を良好に形成することができるとともに歩留まりが向上する効果がある。

【図面の簡単な説明】

【図1】 この発明の実施例1によるコンタクト孔部を示す断面図である。

【図2】 図1のコンタクト孔の形成方法を示す工程断面図である。

【図3】 この発明の実施例2によるコンタクト孔部を示す断面図である。

【図4】 図3のコンタクト孔の形成方法を示す工程断面図である。

【図5】 この発明の実施例3によるコンタクト孔部を示す断面図である。

【図6】 この発明の実施例4によるコンタクト孔部を示す断面図である。

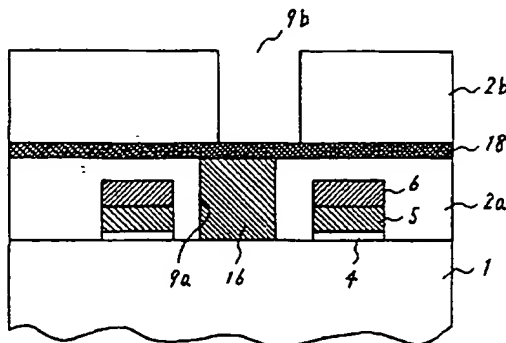
【図7】 従来のコンタクト孔部を示す断面図である。

【図8】 従来の多層配線層におけるコンタクト孔部を示す断面図である。

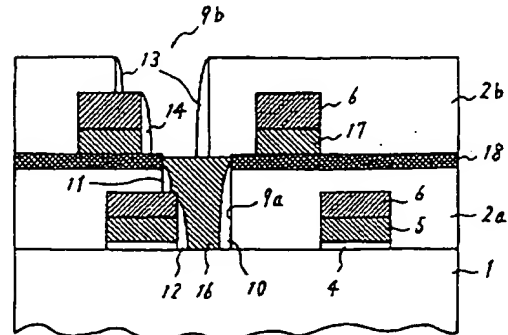
【符号の説明】

1 半導体基板、2 層間絶縁膜、2a 下層層間絶縁膜、2b 上層層間絶縁膜、5 ゲート電極、6、18 エッチングストッパー層、9 コンタクト孔、9a 下層コンタクト孔、9b 上層コンタクト孔、10～12 サイドウォール、15 導電膜、16 プラグ。

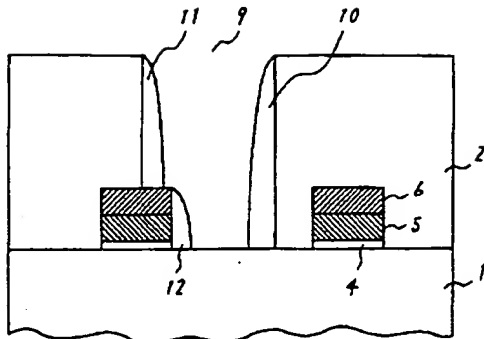
【図5】



【図6】

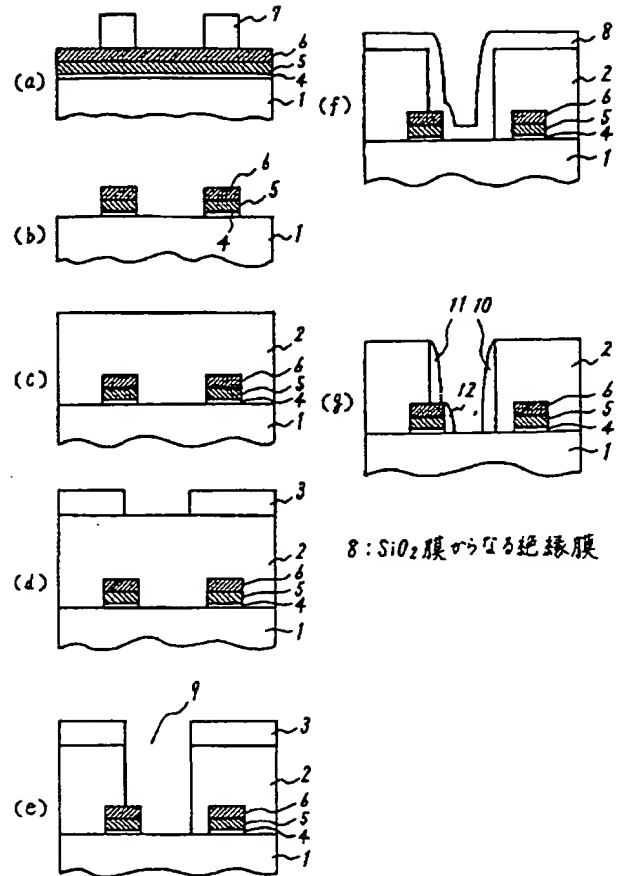


【図1】



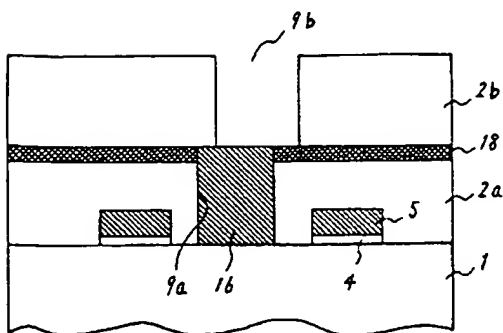
- 1: 半導体基板  
 2: 層間絶縁膜  
 5: ゲート電極  
 6: SiN膜からなるエッチングストッパー層  
 9: コンタクト孔  
 10: サイドウォール  
 11: サイドウォール  
 12: サイドウォール

【図2】



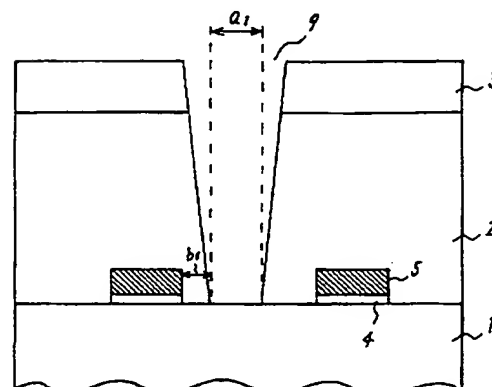
8: SiO<sub>2</sub>膜からなる絶縁膜

【図3】

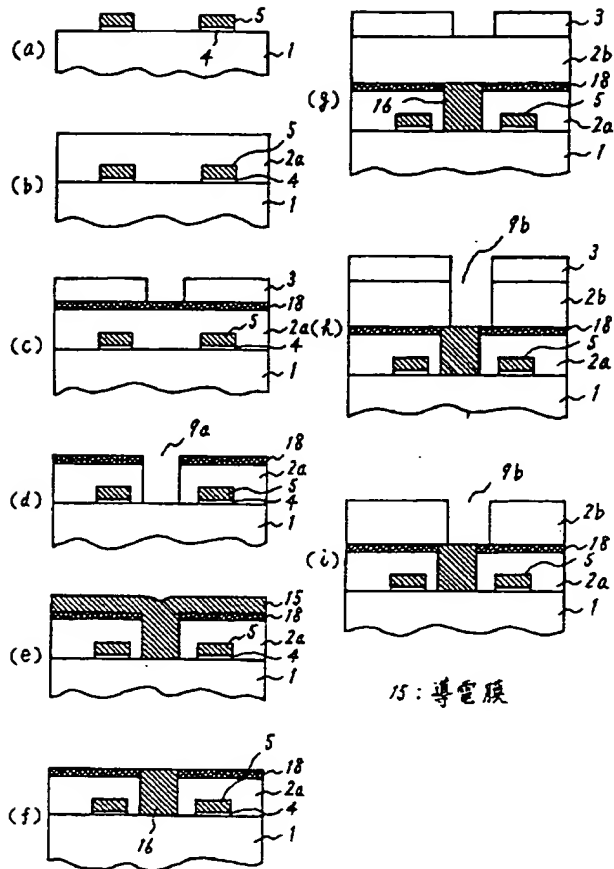


- 2a: 下層層間絶縁膜  
 2b: 上層層間絶縁膜  
 9a: 下層コンタクト孔  
 9b: 上層コンタクト孔  
 16: プラグ  
 18: SiN膜からなるエッチングストッパー層

【図7】



【図4】



15: 導電膜

【図8】

